

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-353452

(43)Date of publication of application : 06.12.2002

(51)Int.CI.

H01L 29/78
H01L 29/41

(21)Application number : 2001-157191

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 25.05.2001

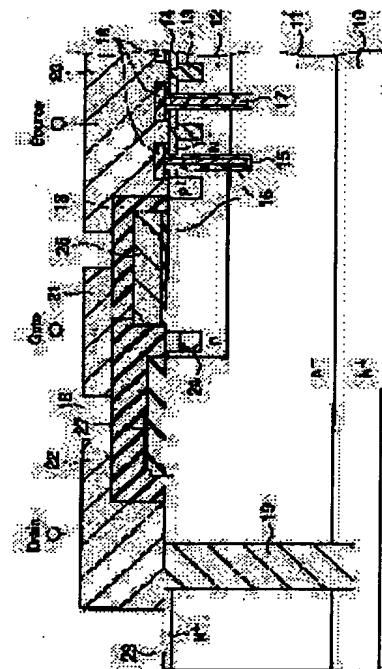
(72)Inventor : MATSUKI HIROFUMI
YONEDA TATSUO

(54) POWER SEMICONDUCTOR ELEMENT

(57)Abstract

PROBLEM TO BE SOLVED: To enable surface mount, realize miniaturization and weight reduction, and prevent increase of package resistance and deterioration of heat dissipating property, by collecting electrodes on one side of a semiconductor substrate of a power semiconductor element.

SOLUTION: Three electrodes (a gate electrode 21a connected with a trench gate electrode 17, a source electrode 20 being in contact with an N⁺ source region 14 and a P base layer 12, and a drain electrode 22 being in contact with an N⁺ drain layer 10) are arranged on one side of semiconductor substrates 10, 11 of a U-MOSFET.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-353452

(P2002-353452A)

(43)公開日 平成14年12月6日 (2002.12.6)

(51)Int.Cl'
H 01 L 29/78識別記号
6 5 2F I
H 01 L 29/78データコード(参考)
6 5 2 L 4 M 1 0 46 5 3
6 5 56 5 2 N
6 5 3 A
6 5 5 A
6 5 5 C

審査請求 未請求 請求項の数 9 O L (全 10 頁) 最終頁に続く

(21)出願番号 特願2001-157191(P2001-157191)

(71)出願人 000003078

(22)出願日 平成13年5月25日 (2001.5.25)

株式会社東芝
東京都港区芝浦一丁目1番1号

(72)発明者

松木 宏文
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72)発明者

米田 辰雄
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(74)代理人 100058479

弁理士 鈴江 武彦 (外6名)

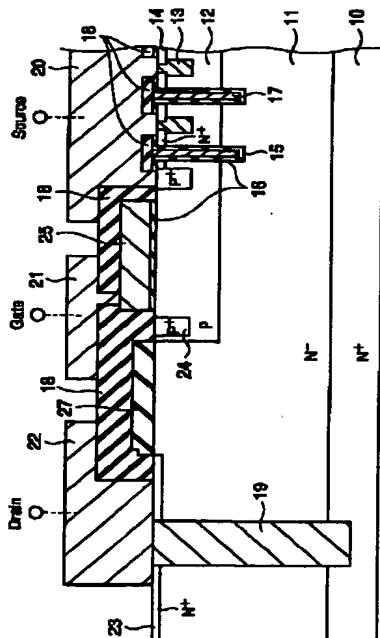
最終頁に続く

(54)【発明の名称】 電力用半導体素子

(57)【要約】

【課題】電力用半導体素子の半導体基板の片面側に電極を集約することにより、面実装を可能とし、小型・軽量化を図り、パッケージ抵抗の増加や放熱性の悪化を防止する。

【解決手段】U-MOSFETの半導体基板10、11の片面側に、3つの電極（トレンチゲート電極17に連なるゲート電極21a、N+ソース領域14およびPベース層12にコンタクトするソース電極20、N+ドレイン層10にコンタクトするドレイン電極22）を設ける。



【特許請求の範囲】

【請求項1】 表層部に第1導電型の不純物濃度が比較的低い半導体層を有し、裏面部に不純物濃度が比較的高い半導体層からなるコレクタ層またはドレイン層を有する半導体基板と、
 前記半導体基板の表層部に形成され、前記第1導電型とは逆の第2導電型の半導体層からなるベース層と、
 前記ベース層の表層部に選択的に形成された第1導電型のエミッタ領域またはソース領域と、
 前記エミッタ領域またはソース領域と前記半導体基板との間で前記ベース層に対してゲート絶縁膜を介して対向するように設けられたゲート電極と、
 前記半導体基板の表層部で周辺領域に選択的に形成された第1導電型の不純物濃度が比較的高い半導体層からなるコンタクト領域と、
 前記コンタクト領域の表面からコンタクト領域を貫通して前記コレクタ層またはドレイン層まで達するように形成された電極引き出し用のトレンチの内部に形成された低抵抗の導電プラグと、
 前記半導体基板上に堆積された層間絶縁膜と、
 前記層間絶縁膜に開口されたコンタクトホールを通じて前記エミッタ領域またはソース領域の表面の一部およびベース層の表面の一部に共通にコンタクトするように形成された第1の主電極と、
 前記第1の主電極と同一面上で前記導電プラグの上面に連なるように形成された第2の主電極と、
 前記第1の主電極と同一面上で前記ゲート電極に接続されるように形成された制御電極とを具備することを特徴とする電力用半導体素子。

【請求項2】 前記導電プラグは、前記電極引き出し用のトレンチの内部にメタルあるいは低抵抗ポリシリコンが埋め込まれてなり、あるいは、前記コレクタ層またはドレイン層と同じ導電型の高不純物濃度の半導体層が形成されることによって形成されていることを特徴とする請求項1記載の電力用半導体素子。

【請求項3】 前記導電プラグは、複数個に分散して配列されて形成されていることを特徴とする請求項1または2記載の電力用半導体素子。

【請求項4】 前記ゲート電極は、前記エミッタ領域またはソース領域の表面からベース層を貫通して前記半導体基板まで達するように形成されたゲートトレンチの内部に前記ゲート絶縁膜を介して埋め込まれているトレンチ構造を有するトレンチゲート電極であることを特徴とする請求項1乃至3のいずれか1項に記載の電力用半導体素子。

【請求項5】 前記導電プラグは、前記トレンチゲート電極より太いことを特徴とする請求項4記載の電力用半導体素子。

【請求項6】 前記ゲート電極は、前記ベース層の表面上に形成された前記ゲート絶縁膜上に形成されたブレー

ナ構造を有するブレーナゲート電極であることを特徴とする請求項1乃至3のいずれか1項に記載の電力用半導体素子。

【請求項7】 請求項1乃至6のいずれか1項に記載の電力用半導体素子は、第1導電型の高濃度不純物層上に低濃度不純物層が形成された半導体基板の前記低濃度不純物層の表層部に前記ベース層が形成されてなり、前記高濃度不純物層に前記導電プラグが連なるMOSFETとして形成されたことを特徴とする電力用半導体素子。

【請求項8】 請求項1乃至6のいずれか1項に記載の電力用半導体素子は、第2導電型の高濃度不純物層上に少なくとも第1導電型の低濃度不純物層が形成された半導体基板の前記低濃度不純物層の表層部に前記ベース層が形成されてなり、前記高濃度不純物層に前記導電プラグが連なる絶縁ゲート型バイポーラトランジスタとして形成されたことを特徴とする電力用半導体素子。

【請求項9】 前記第1の主電極と第2の主電極の上面にはそれぞれ複数個の半田ボールが分散配置されて搭載されており、前記制御電極の上面にも半田ボールが搭載されていることを特徴とする請求項1乃至8のいずれか1項に記載の電力用半導体素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体基板のターン方向に大電流を流す縦型構造の電力用半導体素子に係り、特に素子電極の引き出し構造および外部接続端子に関するもので、例えばパワーMOSFET(絶縁ゲート型電界効果トランジスタ)、IGBT(Insulated Gate Bipolar Transistor; 絶縁ゲート型バイポーラトランジスタ)、MCT(MOS制御型サイリスタ)などに使用される。

【0002】

【従来の技術】 電力用半導体素子は、半導体基板の縦方向に大電流を流す縦型構造の電力用半導体素子として、パワーモスFETや、MOSゲートにより駆動されるパワーアイGBTが用いられている。

【0003】 パワーモスFETやパワーアイGBTのゲート構造として、MOSゲートを平板状に設けたブレーナ構造と、微細化と低損失化を両立させるためにMOSゲートをトレンチ内に埋め込み形成してトレンチの側壁をチャネル領域とするトレンチ構造の2種類が広く知られている。

【0004】 トレンチ構造のパワーモスFETは、半導体基板上にトレンチ構造のMOSFETセルを多数並設したものであり、U-MOSFETと称される。また、トレンチ構造のパワーアイGBTは、半導体基板上にトレンチ構造のIGBTセルを多数並設したものであり、U-IGBTと称される。

【0005】 一般的には、U-MOSFETやU-IGBTは、チャネル抵抗の低減により性能を向上(低損失

化)させやすい点でプレーナ構造のMOSFETやIGBTよりも有利とされている。

【0006】図7は、従来のNチャネル型のU-MOSFETの一部を取り出して構造を概略的に示す断面図である。このU-MOSFETは、N+ / N- エピタキシャルウェハ上に形成された後にチップに分離されたものである。

【0007】図中、半導体基板は、N+ ドレイン層10の表層部にN- 層11がエピタキシャル成長されたものである。このN- 層11の表層部には選択的にPベース層12が形成され、このPベース層12の表層部には選択的にN+ ソース領域14が形成され、このN+ ソース領域14の表面からN- 層11に達する深さのゲートトレンチ15が形成されている。

【0008】そして、このゲートトレンチ15の内壁にはゲート絶縁膜16が形成され、ゲートトレンチ15の内部には、不純物がドープされたポリシリコンからなるトレンチゲート電極17が埋め込み形成されている。

【0009】換言すれば、各ゲートトレンチ15で挟まれた領域のPベース層12の表面には、ゲートトレンチ15の側面に接するように選択的にN+ ソース領域14が形成されている、つまり、Pベース層12中のN+ ソース領域14、ゲートトレンチ15およびトレンチゲート電極17は、複数列のストライプ状の平面パターンを有するように形成されている。

【0010】また、チップ上の周辺領域の全周あるいは一部(本例ではチップ上の一端側領域)のN- 層表層部には、前記N+ ソース領域14と同じ工程で、N+ 層からなるコンタクト領域23が形成されている。

【0011】さらに、前記Pベース層12の表層部には、ゲートトレンチ15のアレイとの素子分離を行うためにP+ 領域24が形成されており、ゲートトレンチ15のアレイから外れたPベース層12上には不純物がドープされたポリシリコンからなるポリシリコンゲート配線25が前記ゲート絶縁膜16を介して形成されている。前記各トレンチゲート電極17はゲート電極引き出し部(図示せず)を介して上記ポリシリコンゲート配線25に接続されている。

【0012】さらに、前記トレンチゲート電極17、ポリシリコンゲート配線25を含む半導体基板上に層間絶縁膜18が堆積され、この層間絶縁膜18の所定の位置にコンタクトホールが開口されている。

【0013】この層間絶縁膜18上には、前記コンタクトホールを通じて前記N+ ソース領域14の表面の一部およびPベース層12の表面の一部に共通にコンタクトするようにメタル(例えばアルミニウム膜)からなるソース電極(第1の主電極)20が形成されている。これと同時に、前記ポリシリコンゲート配線25にコンタクトするようにメタル(例えばアルミニウム膜)からなるメタルゲート配線21およびこれに連なる広いゲートパッド(ゲート電極、図示せず)が形成されている。これと同時に、

層間絶縁膜18上には、素子の信頼性を向上させるために、前記コンタクト領域23上にコンタクトして基板電位をイコライズ用のメタル(例えばアルミニウム膜)からなるガードパターン22が形成されている。

05 【0014】さらに、前記N+ ドレイン層10の裏面側にドレイン電極(第2の主電極)70が設けられている。

【0015】このような構成により、ドレイン電極70とソース電極20との間に電圧を印加した状態でゲート電極に所定の制御電圧を印加することによって、N- 層11、Pベース層12、N+ ソース領域14、ゲート絶縁膜16およびトレンチゲート電極17は、Pベース層12のゲートトレンチ15に接する表面部分に形成されるチャネル領域を通じてN+ ソース領域14からN- 層11を経由してN+ ドレイン層10に電子を注入するようになる。つまり、ゲート電極の制御電圧によってドレイン電極70からソース電極20に流れるドレイン電流をオン/オフ制御することが可能になるU-MOSFETが実現される。

【0016】上記構造のU-MOSFETは、パッケージへのアセンブリ時に、チップ裏面からリードフレームでドレイン電極がドレイン端子に引き出され、モールド樹脂で覆われているので、小型・軽量化の障害になり、パッケージの放熱性の悪化をまねいている。また、チップ表面側のソース電極はワイヤボンディングによりリードフレームに接続されているので、パッケージ抵抗の増加をまねいている。

【0017】なお、Nチャネル型のU-IGBTの構造は、前記Nチャネル型のU-MOSFETと比べて、P+ 半導体基板(P+ コレクタ層)の表層部にN+ バッファ層およびN- 層が順にエピタキシャル形成させたウェハー上に形成された後にチップに分離され、上記P+ コレクタ層の裏面側にコレクタ電極が設けられ、前記N+ ソース領域がN+ エミッタ領域となり、前記ソース電極がエミッタ電極となる点が異なる。

【0018】ところで、U-MOSFETやU-IGBTの一層の小型化が要求されており、セルピッチを微細化する必要がある。この微細化に伴い、ゲート絶縁膜のソース・ベース引き出し用の開口部の底面におけるソース電極(エミッタ電極)20とN+ ソース領域(エミッタ領域)14およびPベース層12とのコンタクト面積が不足し、そのコンタクト部のコンタクト抵抗が高くなるおそれがある。

【0019】このようなコンタクト面積の不足を解消するために、N+ ソース領域(エミッタ領域)14が梯子状の平面パターンを有するように、つまり、Pベース層12の方形状の露出部が点在するように形成することが提案されている。

【0020】さらに、N+ ソース領域(エミッタ領域)14が全体としてメッシュ(格子)あるいはオフセットを有するメッシュ(千鳥模様の格子)状の平面パターンを有するように、つまり、ゲートトレンチ15に沿って帯状

のN+ソース領域（エミッタ領域）14とベース層12の帯状の露出部が交互に存在するように形成することが提案されている。

【0021】さらに、図7中に示すように、N+ソース領域（エミッタ領域）14の表面からベース層12の途中の深さ位置に達するまで、つまり、N+ソース領域（エミッタ領域）14よりも深くソース（エミッタ）コンタクト用のトレンチを形成し、ソース電極（エミッタ電極）20が上記トレンチ内部でN+ソース領域（エミッタ領域）14およびPベース層12にコンタクトするように形成するトレンチコンタクト構造13も提案されている。

【0022】上記したようにトレンチコンタクト構造を設けることにより、寄生トランジスタ（ドレイン層、ソース領域、ベース層が対応してコレクタ、エミッタ、ベースに相当する）のベース・エミッタ間抵抗距離が短くなり、ベース・エミッタ間抵抗r_{bb}が小さくなり、寄生トランジスタに起因するNチャネルMOSトランジスタのラッチアップ電流を大きくすること（素子の耐ラッチアップ特性の向上）が可能になる。

【0023】しかし、上記したような各種の構造のU-MOSFETやU-IGBTやブレーナIGBTにおいても、前述したU-MOSFETと同様の問題がある。

【0024】

【発明が解決しようとする課題】上記したように従来の電力用半導体素子は、チップ裏面からリードフレームでドレイン端子に引き出され、モールド樹脂で覆われているので、小型・軽量化の障害になり、パッケージの放熱性の悪化をまねき、チップ表面側のソース電極がワイヤボンディングによりリードフレームに接続されているので、パッケージ抵抗の増加をまねくという問題があつた。

【0025】本発明は上記の問題点を解決すべくなされたもので、半導体基板の片面側に電極を集約することにより、面実装が可能になり、小型・軽量化が可能になり、パッケージ抵抗の増加や放熱性の悪化を防止し得る電力用半導体素子を提供することを目的とする。

【0026】

【課題を解決するための手段】本発明の電力用半導体素子は、表層部に第1導電型の不純物濃度が比較的低い半導体層を有し、裏面に不純物濃度が比較的高い半導体層からなるコレクタ層またはドレイン層を有する半導体基板と、前記半導体基板の表層部に形成され、前記第1導電型とは逆の第2導電型の半導体層からなるベース層と、前記ベース層の表層部に選択的に形成された第1導電型のエミッタ領域またはソース領域と、前記エミッタ領域またはソース領域と前記半導体基板との間で前記ベース層に対してゲート絶縁膜を介して対向するように設けられたゲート電極と、前記半導体基板の表層部で周辺領域に選択的に形成された第1導電型の不純物濃度が比較的低い半導体層からなるコンタクト領域と、前記コン

タクト領域の表面からコンタクト領域を貫通して前記コレクタ層またはドレイン層まで達するように形成された電極引き出し用のトレンチの内部に形成された低抵抗の導電プラグと、前記半導体基板上に堆積された層間絶縁膜と、前記層間絶縁膜に開口されたコンタクトホールを通じて前記エミッタ領域またはソース領域の表面の一部およびベース層の表面の一部に共通にコンタクトするよう形成された第1の主電極と、前記第1の主電極と同一面上で前記導電プラグの上面に連なるように形成され

た第2の主電極と、前記第1の主電極と同一面上で前記ゲート電極に接続されるように形成された制御電極とを具備することを特徴とする。

【0027】ここで、前記導電プラグは、前記電極引き出し用のトレンチの内部にメタルあるいは低抵抗ポリシリコンが埋め込まれてなり、あるいは、前記コレクタ層またはドレイン層と同じ導電型の高不純物濃度の半導体層が形成されることによって形成可能である。また、前記導電プラグは、複数個に分散して配列されて形成されることが望ましい。

20 【0028】MOSFETの場合には、第1導電型の高濃度不純物層上に第1導電型の低濃度不純物層が形成された半導体基板の前記低濃度不純物層の表層部に前記ベース層が形成されてなり、前記高濃度不純物層に前記導電プラグが連なる。

25 【0029】U-MOSFETの場合には、前記ゲート電極は、前記エミッタ領域またはソース領域の表面からベース層を貫通して前記半導体基板まで達するように形成されたゲートトレンチの内部に前記ゲート絶縁膜を介して埋め込まれているトレンチ構造を有するトレンチゲート電極である。この場合、前記導電プラグは、前記トレンチゲート電極よりも太いことが望ましい。

30 【0030】ブレーナMOSFETの場合には、前記ゲート電極は、前記ベース層の表面上に形成された前記ゲート絶縁膜上に形成されたブレーナ構造を有するブレーナゲート電極である。

35 【0031】IGBTの場合には、第2導電型の高濃度不純物層上に少なくとも第1導電型の低濃度不純物層が形成された半導体基板の前記低濃度不純物層の表層部に前記ベース層が形成されてなり、前記高濃度不純物層に前記導電プラグが連なる。

40 【0032】さらに、前記第1の主電極と第2の主電極の上面にはそれぞれ複数個の半田ボールが分散配置されて搭載されており、前記制御電極の上面にも半田ボールが搭載されていることが望ましい。

45 【0033】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。

50 【0034】<第1の実施形態>図1は、本発明の電力用半導体素子の第1の実施形態に係るNチャネル型のU-MOSFETの一例を示す断面図である。図2は、図

1のU-MOSFETの上面パターンの一例を示す上面図である。

【0035】このU-MOSFETは、図7を参照して前述した従来例のU-MOSFETと比べて、チップ上の周辺領域の全周あるいは一部にN+ドレイン層10に達するコンタクト孔が形成され、その内部に導電プラグ19が形成されており、ガードパターン22は、導電プラグ19の上面にコンタクトしてドレイン電極となっている点が異なり、その他は同じである。

【0036】即ち、図1中、半導体基板は、N+ドレイン層10の表層部にN-層11がエピタキシャル成長されたものである。このN-層11の表層部には選択的にPベース層12が形成され、このPベース層12の表層部には選択的にN+ソース領域14が形成され、このN+ソース領域14の表面からN-層11に達する深さのゲートトレンチ15が形成されている。

【0037】そして、このゲートトレンチ15の内壁にはゲート絶縁膜16が形成され、ゲートトレンチ15の内部には、不純物がドープされたポリシリコンからなるトレンチゲート電極17が埋め込み形成されている。

【0038】換言すれば、各ゲートトレンチ15で挟まれた領域のPベース層12の表面には、ゲートトレンチ15の側面に接するように選択的にN+ソース領域14が形成されている、つまり、Pベース層12中のN+ソース領域14、ゲートトレンチ15およびトレンチゲート電極17は、複数列のストライプ状の平面パターンを有するように形成されている。

【0039】また、チップ上の周辺領域の全周あるいは一部（本例ではチップ上の一端側領域）のN-層表層部には、N+ソース領域14と同じ工程でN+層からなるコンタクト領域23が形成されている。

【0040】さらに、Pベース層12の表層部には、ゲートトレンチ15のアレイとの素子分離を行うためにP+領域24が形成されており、ゲートトレンチ15のアレイから外れたPベース層12上には、不純物がドープされたポリシリコンからなるポリシリコンゲート（G-Poly）配線25が絶縁膜16を介して形成されている。前記各トレンチゲート電極17はゲート電極引き出し部（図示せず）を介して前記ポリシリコンゲート配線25に接続されている。

【0041】さらに、チップ上の周辺領域には絶縁膜（1-OX）27が形成され、前記トレンチゲート電極17、ポリシリコンゲート配線25を含む半導体基板上に層間絶縁膜18が堆積され、この層間絶縁膜18の所定の位置にコンタクトホールが開口されている。この層間絶縁膜18上には、前記コンタクトホールを通じて前記N+ソース領域14の表面の一部およびPベース層12の表面の一部に共通にコンタクトするようにメタル（例えばアルミニウム膜）からなるソース（Source）電極（第1の主電極）20が形成されている。これと同時に、前記ポリシリコンゲート配線25にコンタクトするようにメタル（例えばアルミニウム

膜）からなるメタルゲート配線21およびこれに連なる広いゲート（Gate）パッド（表面ゲート電極、制御電極）21aが形成されている。

【0042】なお、N+ソース領域14の表面からPベース層12の途中の深さ位置に達するまで、つまり、N+ソース領域14よりも深くソースコンタクト用のトレンチを形成しておき、ソース電極20が上記トレンチ内部でN+ソース領域14およびPベース層12にコンタクトするよう形成するトレンチコンタクト構造13が採用されている。

【0043】さらに、本実施形態では、前記コンタクト領域23の表面からN-層11を貫通してN+ドレイン層10に達する深さの電極引き出し用のトレンチが例えばRIE（反応性イオンエッティング）により形成されている。

15 そして、上記トレンチの内部には、低抵抗の電極材（例えばメタルあるいは低抵抗ポリシリコン）が埋め込まれ、あるいは、N+ドレイン層10と同じ導電型の高不純物濃度のシリコン層が形成されることによって、導電プラグ19が形成されている。

20 【0044】そして、チップ上の周辺領域のコンタクト領域23上および層間絶縁膜18上には、導電プラグ19の上面およびコンタクト領域23上にコンタクトするようにメタル（例えばアルミニウム膜）からなるドレイン（Drain）電極（第2の主電極）22がソース電極20およびゲート電極21aの形成と同一工程で形成されている。上記ドレイン電極22は、従来例において、素子の信頼性を向上させるためにコンタクト領域23上にコンタクトして基板電位をイコライズするためのガードパターン22の機能を兼ねている。

25 【0045】さらに、ソース電極20とドレイン電極22の上面にはそれぞれ複数個の外部接続端子26が分散配置されて接合されており、ゲート電極21aの上面にも例えば1個の外部接続端子26が接合されている。上記外部接続端子26として、それぞれ例えば半田ボールが搭載されている。

30 【0046】このような構成により、前記ドレイン電極22とソース電極20との間に電圧を印加した状態でゲート電極21aに所定の制御電圧を印加することによって、N-層11、Pベース層12、N+ソース領域14、ゲート絶縁膜16およびトレンチゲート電極17は、Pベース層12のゲートトレンチ15に接する表面部分に形成されるチャネル領域を通じてN+ソース領域14からN-層11を経由してN+ドレイン層10に電子を注入するようになる。

35 【0047】つまり、表面電極21aの制御電圧によってドレイン電極22からソース電極20に流れるドレイン電流をオン／オフ制御することが可能になるU-MOSFETが実現されている。

40 【0048】次に、図1のU-MOSFETの動作について説明する。

50 【0049】このU-MOSFETの使用に際して、N

+ ソース領域14およびバックゲート領域（Pベース層12）に連なるソース電極20を接地し、ドレイン電極23とソース電極20の間に所定の電圧を印加する。

【0050】素子をターンオンさせる時には、ソース電極20に対して正の所定のゲート電圧をゲート電極21aに印加すると、チャネル領域がN型に反転し、反転層（N型チャネル）が形成される。この反転層を通じてソース電極20からN-層11に電子が注入される。この注入された電子は、主としてN+ドレイン層10を経て導電プラグ19を通ってドレイン電極22に達する。

【0051】一方、素子がターンオフさせる時には、ソース電極20に対して負の電圧をゲート電極21aに印加する。これによって、チャネル領域に形成されていた反転層が消失して、電子注入が停止する。

【0052】また、上記構造のU-MOSFETは、半導体基板（本例では既存のチップサイズの半導体基板）の片面側に3つの電極、つまり、ソース電極20、ドレイン電極22およびゲート電極21aが集約されて存在する。

【0053】したがって、従来例のようなパッケージにアセンブリすることなく、応用製品の実装基板への面実装が可能になり、しかも、パッケージのためにモールド樹脂で覆うことなく、小型・軽量化が可能になるとともに、パッケージの放熱性の悪化をまねかなくて済む。また、チップ表面側のソース電極20がワイヤボンディングによりリードフレームに接続されることがないので、パッケージ抵抗の増加をまねかなくて済む。

【0054】なお、上記構造のU-MOSFETは、半導体基板の表面上でソース電極20とドレイン電極22が比較的接近して存在するので、例えば20V～100V程度の低耐圧の用途に適している。

【0055】なお、上記構造のU-MOSFETは、N+ソース領域14、Pベース層12の露出部（ソース電極20とのコンタクト領域）の平面パターンとして、図7に示した従来例のものと同様にN+ソース領域14中で平面パターンが複数列のストライブパターン状にトレンチゲート電極17が形成されている例を示したが、これに限らず、従来例で述べたような各種の変形実施が可能である。

【0056】即ち、U-IGBTのソースパターンを微細化した場合のソース電極20のコンタクト面積の不足を解消するために、N+ソース領域（エミッタ領域）14が梯子状の平面パターンを有するように、つまり、Pベース層12の方形状の露出部が点在するように形成してもよい。さらに、N+ソース領域（エミッタ領域）14が全体としてメッシュ（格子）あるいはオフセットを有するメッシュ（千鳥模様の格子）状の平面パターンを有するように、つまり、ゲートトレンチ15に沿って帯状のN+ソース領域（エミッタ領域）14とPベース層12の帯状の露出部が交互に存在するように形成してもよい。

【0057】そして、前記導電プラグ19の平面パターン

も、円形状、ストライブ状、メッシュ状、オフセットメッシュ状など任意に設定することが可能である。但し、導電プラグ19用のトレンチをゲートトレンチと同じ工程でRIEにより加工する際の技術的な制約とか導電プラグ19のコンタクト抵抗の低減化などの理由により、導電プラグ19を複数個に分散した配列で形成すること、および、前記ゲートトレンチ15の内部に埋め込まれているトレンチゲート電極17よりも導電プラグ19を太く形成することが望ましい。

10 【0058】<第2の実施形態>（Nチャネル型のU-IGBT）

図3は、本発明の電力用半導体素子の第2の実施形態に係るNチャネル型のU-IGBTの一例を示す断面図である。

15 【0059】Nチャネル型のU-IGBTは、図1を参照して前述した第1の実施形態のNチャネル型のU-MOSFETと比べて、P+半導体基板（P+コレクタ層）30の表層部にN+バッファ層31およびN-層11が順にエピタキシャル成長された半導体基板が用いられ、P

20 +コレクタ層30に達するように導電プラグ19が設けられ、N+ソース領域14がN+エミッタ領域となり、ソース電極20がエミッタ電極となり、ドレイン電極22がコレクタ電極となっている点が異なり、その他は同じである。この場合、上記N+バッファ層31は、必要とする耐

25 圧が別の方で満たされる場合には省略される。

【0060】上記U-IGBTの動作について説明する。

【0061】素子がターンオンする時には、コレクタ電極22とエミッタ電極20との間にコレクタ電圧が印加された状態で、トレンチゲート電極17とエミッタ電極20との間に所定の正のゲート電圧を印加する。これにより、P型ベース層12のトレンチゲート電極17に接したチャネル領域がN型に反転して反転層が形成されるので、エミッタ電極20から電子が反転層を通じてN-層11に注入さ

35 れ、N+バッファ層31を介してP型コレクタ層30に達する。この際、P型コレクタ層30とN-層11との間がN+バッファ層31を介して順バイアスされ、P型コレクタ層30より正孔がN+バッファ層31を経由してN-層11に注入される。

40 【0062】このように、N-層11に電子と正孔の両方が注入される結果、N-層11の領域で電導率変調が起こり、N-層11の抵抗が大幅に低減し、素子が通電（ターンオン）する。

【0063】一方、素子がターンオフする時には、トレンチゲート電極17にエミッタ電極20に対して負の電圧が印加されることによって、前記反転層が消失して、電子注入が停止する。一方、N-層11内に蓄積されていた正孔は、その一部がPベース層12を介してエミッタ電極20に排出され、残りの正孔が電子と再結合して消滅し、素子がターンオフする。

【0064】<第3の実施形態> (Pチャネル型のU-MOSFET)

図4は、本発明の電力用半導体素子の第3の実施形態に係るPチャネル型のU-MOSFETの一例を示す断面図である。

【0065】このPチャネル型のU-IGBTは、図1を参照して前述した第1の実施形態のNチャネル型のU-MOSFETと比べて、P型とN型の導電型が入れ替えられた点が異なり、その他は同じであるので、図1中と同一部分には同一符号を付し、図1中と対応する部分には同一符号にaを付記してその説明を省略する。

【0066】<第4の実施形態> (プレーナMOSFET)

図5は、本発明の電力用半導体素子の第4の実施形態に係るプレーナゲート構造の例えはNチャネル型のMOSFETの一例を概略的に示す断面図である。

【0067】このプレーナMOSFETは、前述した図1のU-MOSFETと比べてゲート構造が異なり、その他は同じであるので図1中と同一部分には同一符号を付してその説明を省略する。

【0068】即ち、図5中、N-層11の表層部には選択的にPベース層12が形成され、この表層部には選択的にN+ソース領域14が形成されている。そして、N-層11のうちで隣り合うPベース層12相互間に位置する部分とN+ソース領域14との間のPベース層表面にゲート絶縁膜51を介してプレーナゲート電極52が形成されている。

【0069】そして、プレーナゲート電極52は層間絶縁膜18で覆われており、この層間絶縁膜18上およびN+ソース領域14上にソース電極20が設けられている。

【0070】このプレーナMOSFETの動作は、図1に示したU-IGBTの動作と基本的に同じであるので、その詳細な説明を省略する。

【0071】なお、本発明をMCT (MOS制御型サイリスタ)に適用することにより、P+/N-半導体基板の片面側に各電極が存在するMCTを実現できる。

【0072】また、本発明を縦型構造の整流素子(SBD)に適用することにより、半導体基板の片面側にアノード電極およびカソード電極が存在する縦型整流素子を実現できる。

【0073】また、本発明を電子注入促進効果を有するパワーMOSトランジスタ(Injection Enhanced Gate Transistor; IEGT)にも適用することにより、半導体基板の片面側に各電極が存在するIEGTを実現できる。

【0074】図6は、IEGTの一例を一部切欠して断面構造を概略的に示している。

【0075】IEGTは、表面エミッタ電極とソース領域およびベース層とのコンタクト数を減少させるようにした特殊なトレンチゲート構造によって、高抵抗ベース層の制御電極端に高濃度のキュリア・プラズマを蓄積す

る技術を採用することによって、サイリスタ並みの小さなオン抵抗とトランジスタ並みの安全動作領域を同時に満足するように実現されたものである図6中、61はN-層、62はNバッファ(buffer)層、63はNバッファ層62の

05 表層部に形成されたPエミッタ(E)領域、64はPエミッタ領域63の表面上に形成されたアノード(Anode)電極、65はN-層61の表層部に形成されたPベース層、66はPベース層65の表面からN-層61に達する深さに形成されたトレンチに埋め込まれた複数のトレンチゲート、67は

10 トレンチの内壁面およびPベース層65の表面上の一部に形成されたゲート絶縁膜(例えはシリコン酸化膜)、68は複数のトレンチゲート66のうちの例えは3個おきに位置するトレンチゲートの表層部に選択的に形成されたNソース領域、69はNソース領域68上およびPベース層65

15 上に形成された層間絶縁膜(例えはCVD酸化膜)である。

【0076】70は層間絶縁膜69上に形成されたカソード(Cathode)電極であり、層間絶縁膜69に開口された開口部においてNソース領域68の表面およびPベース層65の

20 うちでトレンチに平行な方向にNソース領域68に隣接する部分の表面にコンタクトしている。

【0077】上記したようにカソード側表面に微細な間隔で形成されたトレンチゲート66と、一定間隔をおいてNソース領域68にコンタクトするカソード電極70を有する

25 IEGTによれば、Pエミッタ領域63から注入された正孔は、トレンチゲート66によってカソード電極70から流出することが防止される。一方、カソード電極70からの電子は、MOSチャネルから注入される。これにより、素子のカソード側で、電子の注入が正孔の流出を大きく上回る高注入状態になり、高抵抗ベース層65のオン抵抗がサイリスタ並みに小さくなる。

【0078】また、本発明を縦型構造のバイポーラトランジスタに適用することにより、半導体基板の片面側にエミッタ電極、コレクタ電極およびベース電極が存在する縦型バイポーラトランジスタを実現できる。

【0079】

【発明の効果】上述したように本発明の電力用半導体素子によれば、半導体基板の片面側に電極を集約することにより、面実装が可能になり、小型・軽量化が可能になり、パッケージ抵抗の増加や放熱性の悪化を防止することができる。

【図面の簡単な説明】

【図1】本発明の電力用半導体素子の第1の実施形態に係るNチャネル型のU-MOSFETの一例を示す断面図。

45 【図2】図1のU-MOSFETの上面パターンの一例を示す上面図。

【図3】本発明の電力用半導体素子の第2の実施形態に係るNチャネル型のU-IGBTの一例を示す断面図。

50 【図4】本発明の電力用半導体素子の第3の実施形態に

係るPチャネル型のU-MOSFETの一例を示す断面図。

【図5】本発明の電力用半導体素子の第4の実施形態に係るプレーナゲート構造のNチャネル型のMOSFETの一例を概略的に示す断面図。

【図6】本発明を適用可能なIGBTの一例を一部切欠して概略的に示す断面図。

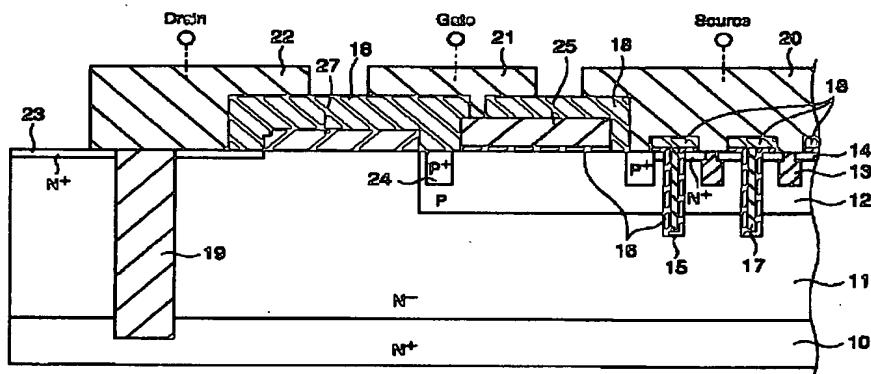
【図7】従来のNチャネル型のU-MOSFETの一部を取り出して構造を概略的に示す断面図。

【符号の説明】

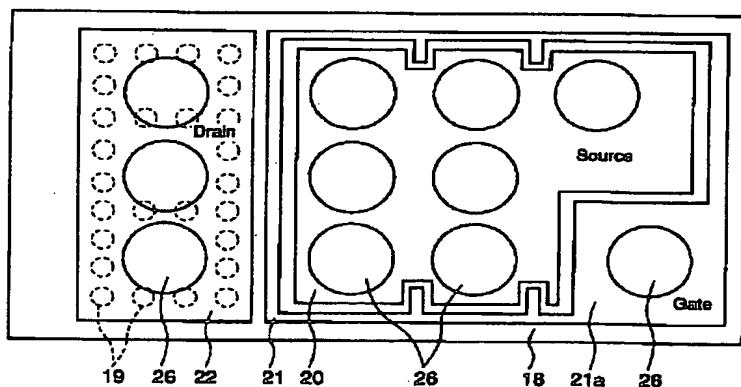
- 10…N+ ドレイン層、
- 11…N- 層、
- 12…Pベース層、
- 13…トレンチコンタクト構造、

- 14…N+ ソース領域、
- 15…ゲートトレンチ、
- 16…ゲート絶縁膜、
- 17…トレンチゲート電極、
- 05 18…層間絶縁膜、
- 19…導電プラグ、
- 20…ソース電極（第1の主電極）、
- 21…メタルゲート配線、
- 21a…ゲートパッド（表面ゲート電極、制御電極）、
- 10 22…ドレイン電極、
- 23…コンタクト領域、
- 24…P+ 領域、
- 25…ポリシリコンゲート配線、
- 26…外部接続端子（半田ボール）。

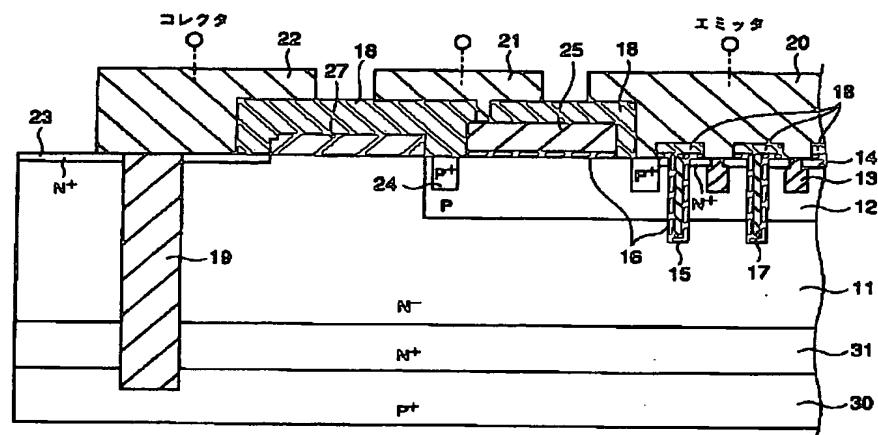
【図1】



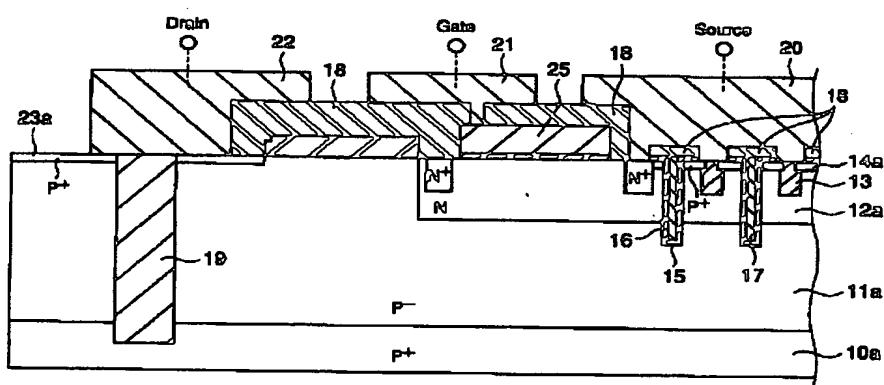
【図2】



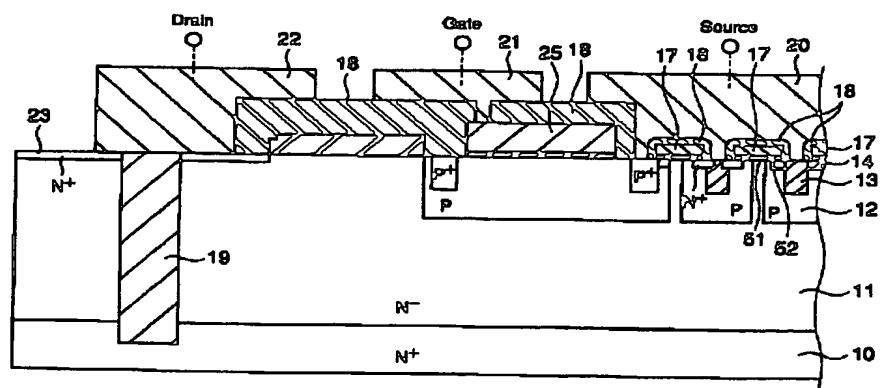
【図3】



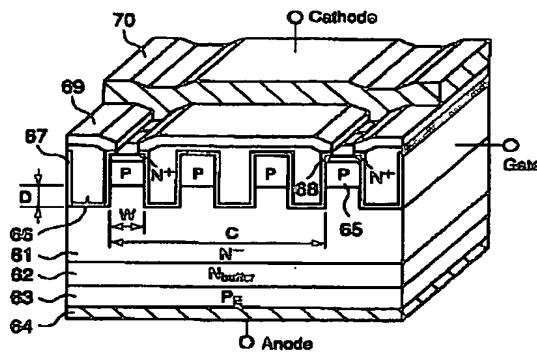
【図4】



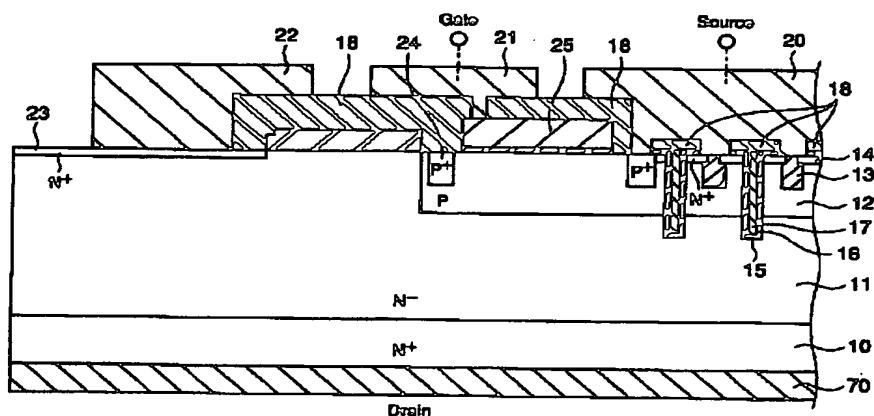
【図5】



【図6】



【図7】



フロントページの続き

(51)Int.Cl.¹H 01 L 29/78
29/41

識別記号

F I

H 01 L 29/78
29/44

マーク(参考)

6 5 5 G
ZFターム(参考) 4M104 BB01 BB02 BB40 CC01 CC05
FF01 FF32 FF37 GG09 GG18

50